

Лекция 15

ЦИФРОВЫЕ УСТРОЙСТВА КОМБИНАЦИОННОГО ТИПА

План

1. Шифраторы, дешифраторы и преобразователи кодов.
2. Мультиплексоры и демультимплексоры.
3. Сумматоры.

1. Шифраторы, дешифраторы и преобразователи кодов

Логические устройства разделяют на два класса: комбинационные и последовательностные. Устройство называют комбинационным, если его выходные сигналы однозначно определяются входными сигналами в этот момент времени.

Если выходной сигнал устройства определяется его состоянием в предыдущие моменты времени, то такое устройство называют последовательностным. Последовательностное устройство всегда содержит элементы памяти. Состояние таких устройств определяется сигналами на входах элементов памяти в предыдущие моменты времени. Таким образом, реакция последовательностного устройства на действие входного сигнала зависит не только от вида этого сигнала, но и от состояния устройства в начальный момент.

Важнейшей формой представления числа является двоичный код. В некоторых случаях, однако, легче производить операции с другими кодами. Поэтому в данном параграфе будут рассмотрены преобразователи двоичного кода в другие и наоборот.

Дешифратор (*DC* - DeCoder - декодер) - преобразователь n -разрядного двоичного кода в унитарный код «1 из m ». Каждой кодовой комбинации на входах дешифратора соответствует активный уровень только на одном из выходов. Условное графическое обозначение и таблица истинности полного дешифратора на два входа ($n = 2$) представлены на рис.15.1. Логическая 1 (при активном высоком уровне на выходе) формируется на том выходе дешифратора, адрес которого соответствует набору двоичных сигналов на входах A и B . Выходной код носит название «один из четырех». По таблице истинности легко записать в СДНФ логические функции, связывающие сигналы на каждом выходе дешифратора с его входными сигналами (они показаны на рисунке). Для реализации дешифратора требуются логические элементы *И* и *НЕ*.

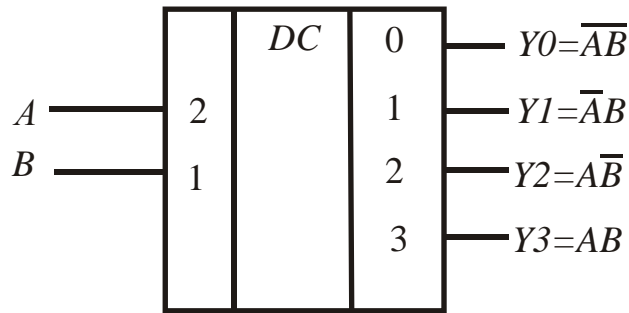


Рис. 15.1. Полный дешифратор на два входа

A	B	Y			
		0	1	2	3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

Шифратор (*CD* - CoDer - кодер) с *приоритетом* выполняет функцию, обратную дешифратору (рис. 15.2). На его выходах формируется двоичное число, соответствующее наибольшему числу на входе, на который подана логическая 1. Значения входных чисел (позиций), расположенных ниже, не имеют значения (в таблице истинности они обозначены крестиком).

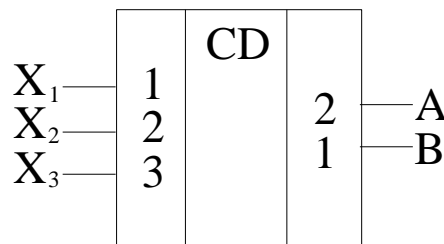


Рис. 15.2 Приоритетный шифратор

<i>i</i>	X ₁	X ₂	X ₃	A	B
0	0	0	0	0	0
1	1	0	0	0	1
X	X	1	0	1	0
X	X	X	1	1	1

Примеры интегральных микросхем приоритетного шифратора и дешифратора приведены на рис. 15.3.

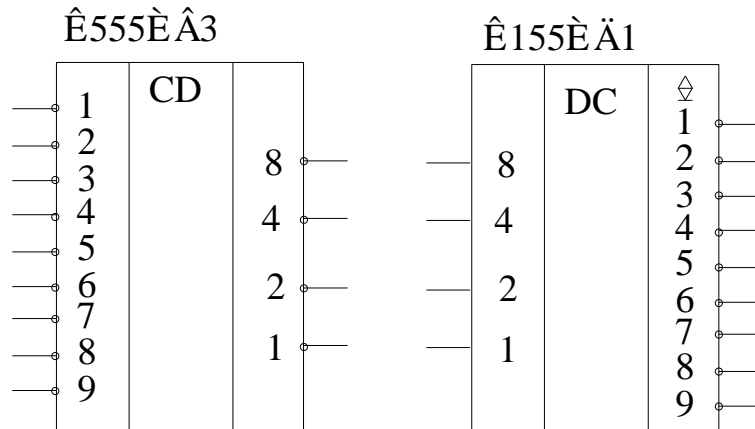


Рис. 15.3. Примеры микросхем шифратора и дешифратора

Микросхема К555ИВ3 имеет 9 инверсных входов для подачи кодируемого сигнала и 4 инверсных выхода кода 8-4-2-1. В исходном состоянии на всех входах и выходах логическая 1.

При подаче на любой из входов логического 0 на выходе формируется инверсный код номера этого входа. Если логический 0 подан сразу на несколько входов, код на выходе соответствует наибольшему номеру входа, на который подан логический 0.

Дешифратор К155ИД10 имеет прямой четырехразрядный двоичный вход и десять инверсных выходов. К открытым коллекторным выходам микросхемы можно подключать любые нагрузки, включая обмотку реле (15 В, 80 мА). Такую же функциональную схему имеет микросхема К155ИД1, предназначенная для управления цифровым газоразрядным индикатором (70 В, 7 мА).

Микросхемы К155ПР6 и К155ПР7 служат для преобразования двоично-десятичного кода в двоичный и наоборот. Микросхемы являются постоянными запоминающими устройствами, программирование которых произведено на заводе-изготовителе. Одна микросхема К155ПР6 позволяет выполнить преобразование в двоичный двоично-десятичный код чисел 0-39. Разряд единиц не подвергается преобразованию, так как он совпадает в двоично-десятичном и двоичном кодах. Аналогично, одну микросхему К155ПР7 можно использовать для преобразования двоичного кода чисел 0-63 в двоично-десятичный. Как правило, разрядности одиночных микросхем недостаточно для решения задач преобразования многоразрядных кодов, в этих случаях применяют каскадное соединение микросхем (рис. 15.4, рис. 15.5).

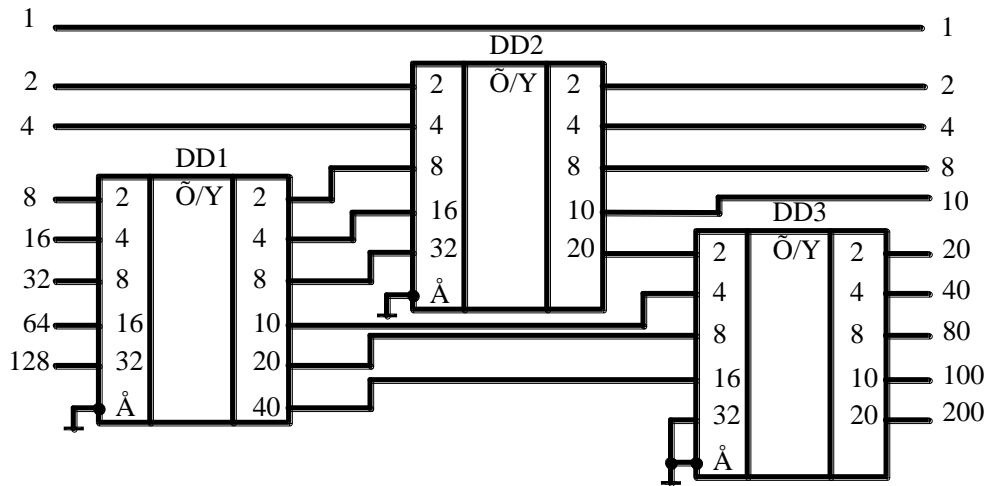


Рис.15.4. Преобразователь кодов.

Для преобразования двоично-десятичных кодов чисел 0-999 в двоичный требуется шесть, а чисел 0-9999 - девятнадцать микросхем К155ПР6, для преобразования двоичных кодов чисел 0-4095 и 0-65535 в двоично-десятичный - соответственно 8 и 16 микросхем К155ПР15.

Микросхемы К155ПР6 и К155ПР7 выполнены с открытым коллекторным выходом, поэтому для обеспечения помехоустойчивой работы микросхем между их выходами и плюсом питания следует устанавливать нагрузочные резисторы 1-5,1 кОм. Эти резисторы на приведенных схемах не показаны. Вход разрешения работы микросхем Е (CS) должен быть подключен к общему проводу, при подаче на него логической 1 все выходные транзисторы переходят в выключенное состояние.

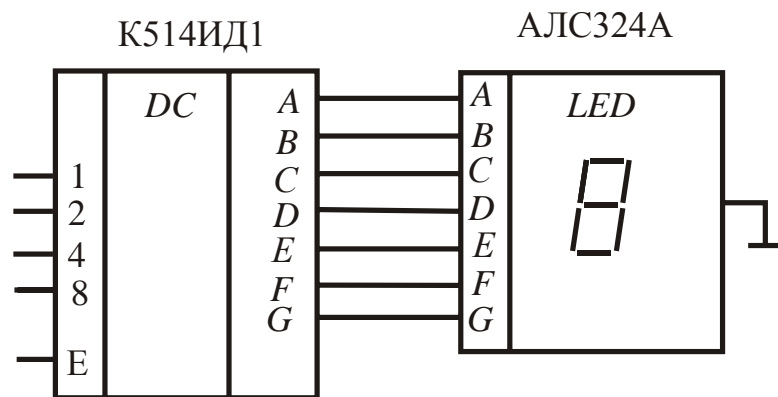


Рис. 15.6 Соединение дешифратора с 7-сегментным индикатором

На рис. 15.6 представлена схема подключения дешифратора для управления семисегментным цифровым индикатором на светодиодах с объединенными катодными выводами (они соединены с общим выводом). При высоком потенциале на входе Е (активные выходные уровни дешифратора - высокие) ток порядка 5 мА протекает через светодиоды тех

сегментов, которые формируют изображение цифры от 0 до 9, двоично-десятичный код которой подан на входы микросхемы К514ИД1. В направлении сверху вниз левые вертикально расположенные светодиоды имеют обозначение F и E, правые - В и С, горизонтально расположенные - А, G и D. При $E = 0$ на выходах дешифратора устанавливаются низкие уровни, и все светодиоды гаснут.

При применении семисегментного цифрового индикатора на светодиодах с объединенными анодными выводами (например, АЛС324Б), на них подается внешний потенциал от источника питания +5 В, а выводы А, В, С, D, E, F, G соединяются с соответствующими выводами дешифратора К514ИД2 (активные выходные уровни дешифратора - низкие) через резисторы номиналом 330-510 Ом, с помощью которых можно управлять яркостью свечения цифрового индикатора.

В преобразователях аналоговых физических величин (например, угла поворота вала) в цифровые сигналы с погрешностью, не превышающей значения младшего разряда, используется код Грея (он соответствует непозиционной системе счисления). Код Грея строится таким образом, что при переходе от одного числа к следующему изменяется всегда только один двоичный разряд. Таблица преобразования четырехразрядных двоичных чисел $X \{x_4, x_3, x_2, X_i\}$ в код Грея $G \{g_4, g_3, g_2, g_i\}$ приведена ниже. Прямые и обратные преобразователи кода Грея в двоичный код реализуются с помощью логических элементов «Исключающее ИЛИ» (рис.15.7).

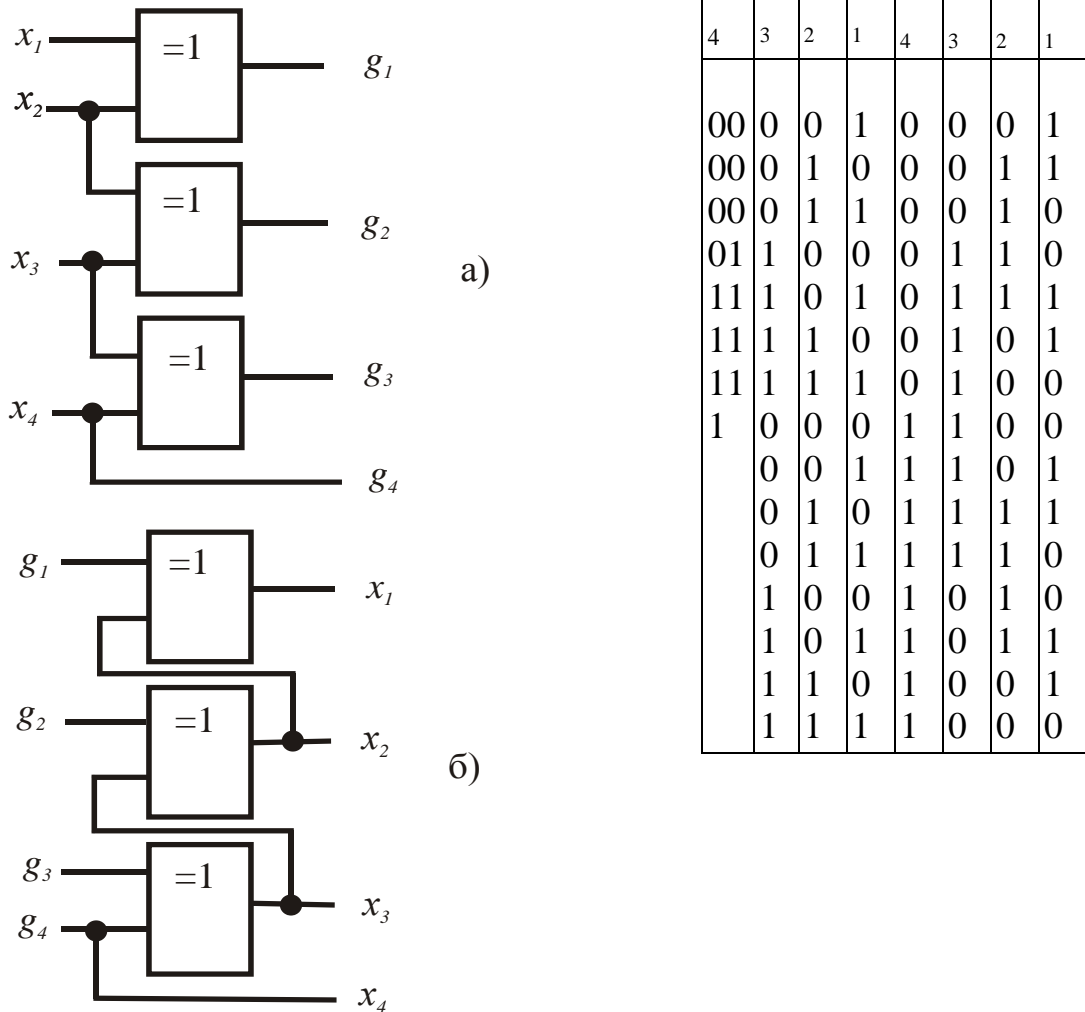


Рис. 15.7. Схемы преобразования четырехразрядных кодов:

а) - двоичного в код Грея, б) - кода Грея в двоичный код

Код Грея не позволяет осуществлять арифметические операции. Поэтому его применяют только в тех случаях, когда это дает существенные преимущества, а затем переходят к двоичному коду.

2. Мультиплексоры и демультиплексоры

Демультиплексор (DMX) - коммутатор сигнала с одного входа на несколько выходов. При наличии разрешающего входа E (рис 15.8, а) дешифратор можно использовать как демультиплексор. Сигнал, подаваемый на вход E , повторяется на том выходе Y_i , адрес которого подан на входы A и B . При $E=0$ работа дешифратора запрещена (на всех выходах устройства логический 0). Реализация демультиплексора на ЛЭ показана на рис. 15.8, б).

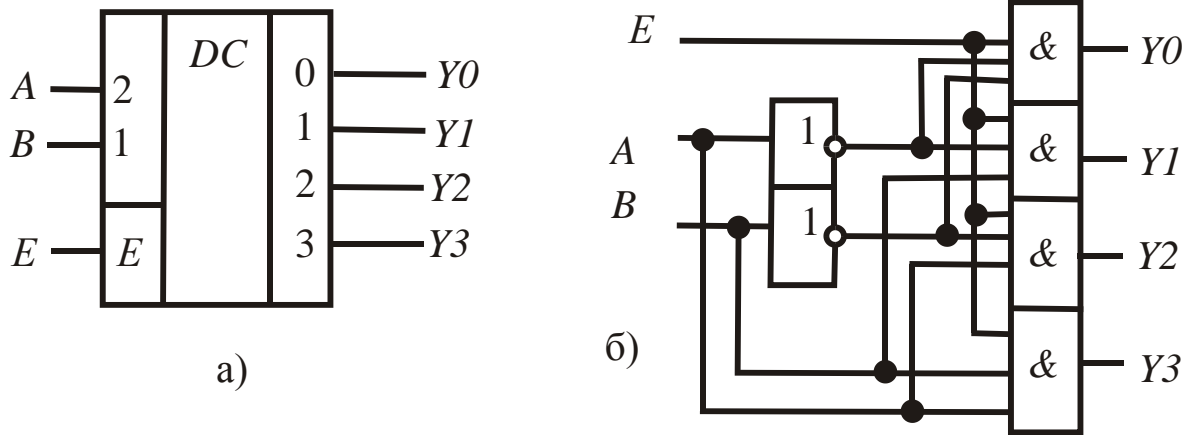


Рис.15.8. Демультимплексор

Мультиплексором (MUX) называют коммутатор сигналов с нескольких входов на один выход. Для коммутатора с четырех входов X_i на один выход Y (рис. 15.9, а) выходной сигнал связан с входными соотношением

$$Y = E(X_0AB + X_1AB + X_2AB + X_3AB). \quad (15.1)$$

Это выражение показывает путь реализации мультиплексора на логических элементах (рис. 15.9, б).

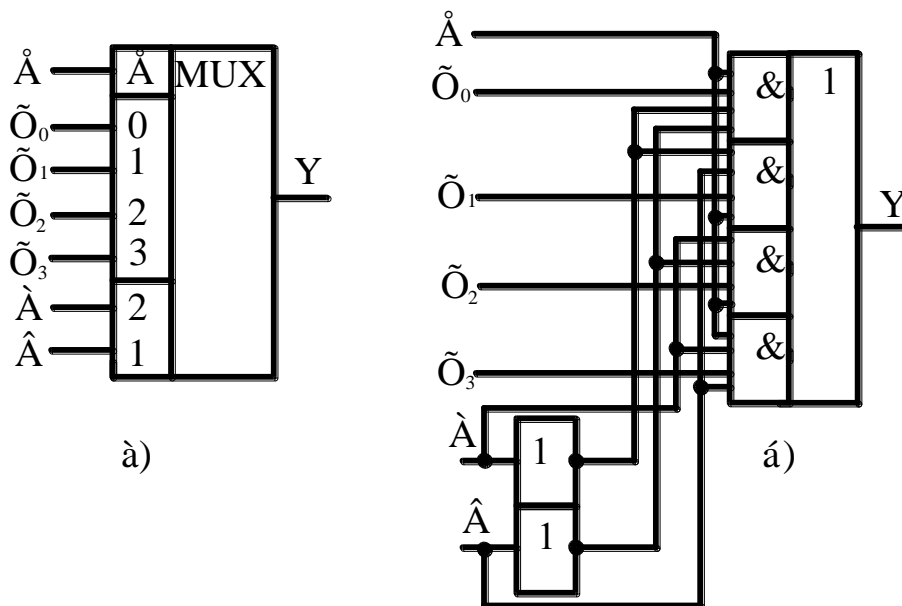


Рис.15.9 Мультиплексор

При наличии разрешения на входе E ($E = 1$) выход повторяет информацию того входа, код которого подан на адресные входы A и B . При $E = 0$ коммутатор закрыт ($Y = 0$ независимо от сигналов на входах X).

Если цифровой код на адресных входах мультиплексора поочередно перебирает все комбинации двоичных переменных на адресных входах, состояние на выходе последовательно повторяет состояние всех его информационных входов (режим мультиплексирования данных). В этом режиме мультиплексор выполняет преобразование параллельного двоичного кода на информационных входах в последовательный код на его выходе.

Интегральные микросхемы дешифраторов и мультиплексоров часто имеют инверсные выходы, а также группу разрешающих входов (прямых и инверсных), объединенных логикой (рис. 15.10). При $E = E1 E2E3 = 1$ на входах управления микросхемы К555ИД7 логический 0 (активный уровень - низкий) формируется на том выходе, код которого подан на информационные входы дешифратора.

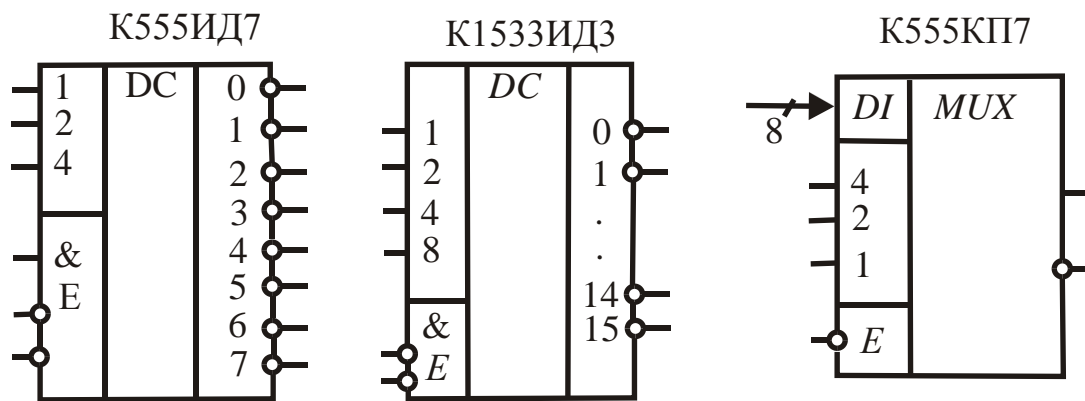


Рис. 15.10. Примеры микросхем дешифраторов и мультиплексора

Сигнал, подаваемый на один из входов E демultipлексора при заземлении второго входа повторится на том выходе микросхемы, код которого подан на адресные входы. При подаче логического 0 на вход разрешения E микросхемы К555КП7 на выход коммутируется сигнал с того информационного входа мультиплексора DI_i код которого подан на его адресные входы.

Среди схем коммутации необходимо особо выделить устройства, которые способны пропускать сигналы в обоих направлениях. К таким элементам относятся коммутационные схемы, выполненные по технологии КМОП с использованием двунаправленных ключей. Коммутаторы КМОП способны пропускать как аналоговые, так и цифровые сигналы, в них можно менять местами вход и выход. Такие микросхемы выполняют функции *мультиплексора-демультиплексора* (DMX).

Мультиплексоры удобно использовать для реализации логических функций, записанных непосредственно в СДНФ. Любую булеву функцию четырех переменных можно реализовать с помощью восьмиканального

мультиплексора. Так, для реализации, например, логической функции

$F = \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot \bar{D} + \bar{A} \cdot B \cdot C \cdot \bar{D} + A \cdot \bar{B} \cdot C \cdot D + A \cdot B \cdot C \cdot D$, где D - переменная старшего разряда, на адресные входы мультиплексора К555КП7 поданы входные сигналы A, B, C , а входы $X_0 - X_7$ используются как настроечные (рис. 15.11, а).

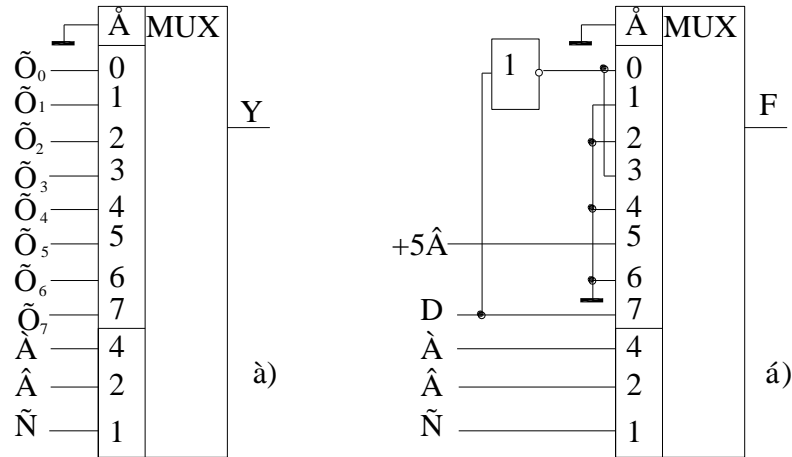


Рис.15.11. Реализация заданного логического выражения

Сравнивая выражение для функции F с логическим уравнением мультиплексора

$$Y = \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot X_0 + \bar{A} \cdot \bar{B} \cdot C \cdot X_1 + \bar{A} \cdot B \cdot \bar{C} \cdot X_2 + \bar{A} \cdot B \cdot C \cdot X_3 + A \cdot \bar{B} \cdot \bar{C} \cdot X_4 + A \cdot \bar{B} \cdot C \cdot X_5 + A \cdot B \cdot \bar{C} \cdot X_6 + A \cdot B \cdot C \cdot X_7,$$

получаем условия эквивалентности: $X_0 = X_3 = D$, $X_7 = D$, $X_5 = D + D = 1$,

$$X_1 = X_2 = X_4 = X_6 = 0.$$

Эти соотношения позволяют зашифровать входы мультиплексора на выполнение заданного логического уравнения.

В соответствии с этими условиями построена схема устройства (рис. 15.11, б). Для подачи логической 1 входы микросхем ТТЛШ серий К555 и КР1533 можно подключать к источнику питания +5В непосредственно. Для получения сигнала D использован инвертор.

3. Сумматоры и цифровые компараторы

Двоичный сумматор (SM) (рис. 15.12) служит для формирования арифметической суммы n -разрядных двоичных чисел A и B (рис. 15.12, б). Результатом сложения (при $n = 4$) является четырехразрядная сумма S и выход переноса P , который можно рассматривать как пятый разряд суммы

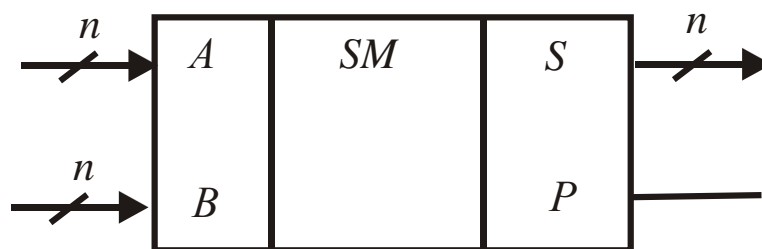


Рис. 15.12 Двоичный сумматор

Полусумматор (HS) служит для сложения битов младших разрядов двух двоичных чисел (его можно реализовать на ЛЭ по таблице истинности, представленной на рис. 15.12).

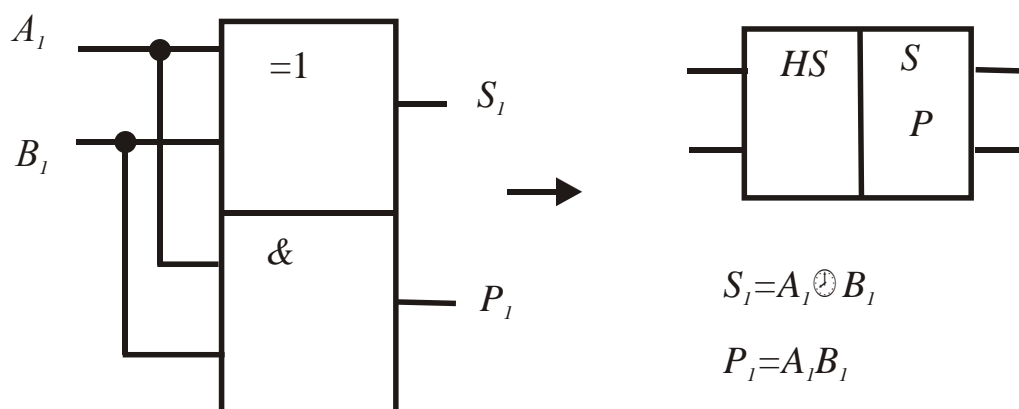


Рис 15.12 Полусумматор.

Полный одноразрядный сумматор суммирует биты соответствующих разрядов двух двоичных чисел и вырабатывает перенос в следующий разряд.

Полный

одноразрядный сумматор можно построить из двух полусумматоров HS и логического элемента ИЛИ (рис. 15.13).

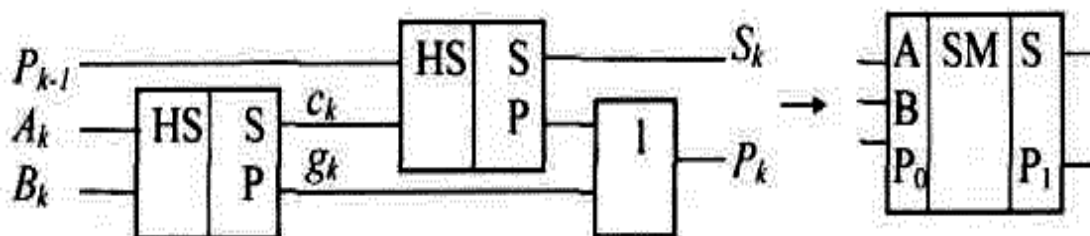


Рис. 15.13. Полный одноразрядный сумматор

В корпусе микросхемы К555ИМ6 четыре полных одноразрядных сумматора объединены в схему четырехразрядного сумматора (рис. 15.14). Сигнал переноса последовательно передается с выхода предыдущего разряда сумматора на вход переноса следующего разряда. В

дальнейшем будем использовать более простое и наглядное условное графическое обозначение сумматора, приведенное справа. В дополнительных полях микросхемы показаны весовые коэффициенты разрядов входа и выхода сумматора.

Время выполнения операции в сумматоре на рис. 15.14 намного больше времени сложения в одноразрядном сумматоре, так как в каждый следующий разряд единица переноса попадает, проходя все более длинную цепочку логических элементов. Чтобы уменьшить время выполнения операции сложения многоразрядных чисел, используют схемы параллельного переноса. При этом сигналы переноса во всех разрядах одновременно вычисляются по значениям входных переменных в данном разряде.

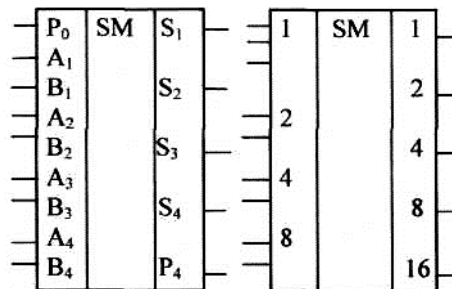


Рис.15.14 Четырехразрядный сумматор с последовательным переносом.

Для сигнала переноса из любого k -го разряда справедливо соотношение (см. обозначения на рис. 15.14)

$$p_k = a_k b_k + (a_k \odot b_k) p_{k-1}, \quad (15.2)$$

где g_k - функция генерации переноса;

c_k - функция распространения переноса.

Пользуясь рекуррентным выражением (15.2), можно вывести следующие формулы для вычисления сигналов переноса в четырехразрядном сумматоре:

$$P_1 = g_1 + P_0 c_1,$$

$$P_2 = g_2 + P_1 c_2 = g_2 + C_2 g_1 + P_0 C_2 C_1,$$

$$P_3 = g_3 + P_2 c_3 = g_3 + C_3 g_2 + C_2 C_3 g_1 + P_0 (C_3 C_2 C_1),$$

$$P_4 = g_4 + P_3 c_4 = (g_4 + C_4 g_3 + C_3 C_4 g_2 + C_2 C_3 C_4 g_1) + P_0 (C_4 C_3 C_2 C_1).$$

и

G

и

C

Реализацию этих функций выполняет схема ускоренного переноса (см. блок-схему параллельного сумматора на рис. 15.15). Хотя полученные логические выражения достаточно сложны, время формирования сигнала переноса в любой разряд с помощью вспомогательных функций определяется временем задержки распространения сигнала в двух элементах.

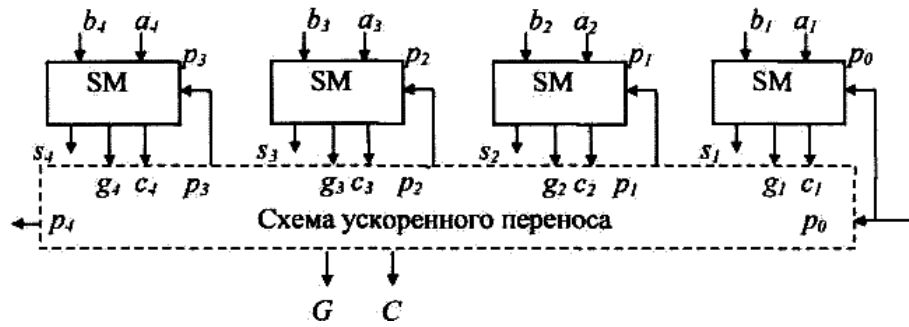


Рис. 15.15. Четырехразрядный сумматор с параллельным переносом

Для построения 16-разрядного сумматора используется эта же схема ускоренного переноса, на которую подаются сигналы G и C от каждого четырехразрядного сумматора.

Обычный сумматор может использоваться для сложения чисел со знаком, представленных в дополнительном коде. На его выходе формируется дополнительный код суммы. При сложении, например, 8-разрядных двоичных чисел со знаком с помощью 8-разрядного сумматора (его можно построить на двух микросхемах К555ИМ6) получаем на выходе 8-разрядную сумму в дополнительном коде (перенос в 9-й разряд игнорируется). При этом разрядная сетка не должна переполняться, т.е. сумма модулей для чисел одинакового знака не должна превышать 1215. Старший разряд восьмиразрядных слагаемых отображает знак числа (0 - для положительного, 1 - для отрицательного). Семь младших разрядов отображают модуль числа. Дополнительный код положительного числа соответствует его обычному представлению в двоичном коде. Для получения дополнительного кода отрицательного числа нужно проинвертировать код положительного числа и прибавить единицу в младший разряд.

Для преобразования в дополнительный код 8-разрядных чисел со знаком, представленных в прямом коде, используется изображенное на схеме рис. 11.20 устройство. Для положительных чисел знаковый разряд $x_7 = 0$, элементы «Исключающее ИЛИ» и сумматор работают как повторитель числа X . Для отрицательных чисел $X_7 = 1$, семиразрядный модуль числа X инвертируется и к нему с помощью сумматора прибавляется 1. Такое же устройство используется и как преобразователь дополнительного кода числа в прямой.

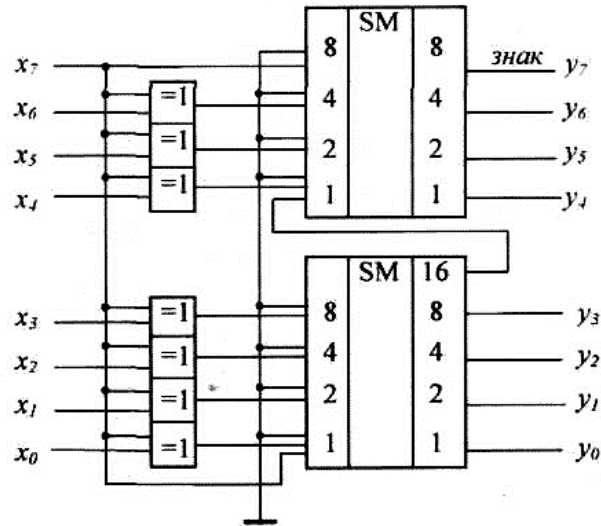


Рис. 15.19. Преобразователь прямого кода 8 разрядного двоичного числа со знаком в дополнительный код

Цифровым компаратором называют устройство, фиксирующее результат сравнения n -разрядных двоичных или двоично-десятичных кодов чисел (рис. 15.20, а). Цифровой компаратор можно построить на сумматоре, подавая на один суммирующий вход прямой код числа A , на другой - инверсный код числа B (рис. 15.20, б). На численном примере легко убедиться, что при $A = B$ в четырех младших разрядах суммы формируются логические единицы, а при $A > B$ единица формируется на выходе переноса.

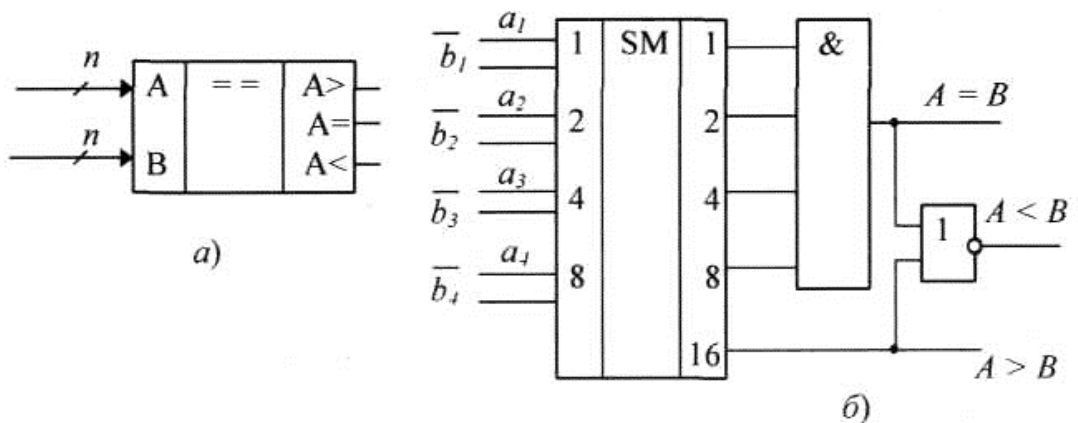


Рис. 15.20. Цифровой компаратор и его реализация на сумматоре

Компаратор, фиксирующий равнозначность кодов A и B , можно выполнить по схеме, показанной на рис. 15.21,а. При совпадении кодов во всех разрядах формируются логические нули на выходах элементов «Исключающее ИЛИ» и логический элемент ИЛИ-НЕ формирует на выходе 1. Другой вариант построения схемы равнозначности кодов приведен на рис. 15.21, б.

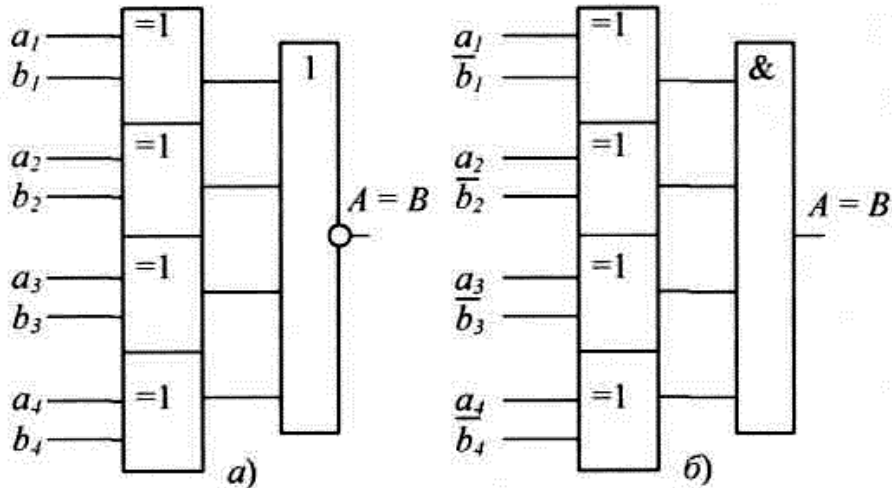


Рис. 15.21. Схемы равнозначности кодов

Контроль четности. Контроль четности (нечетности) используется для обнаружения однократных ошибок при передаче данных по линиям связи (рис. 15.22). В передатчике к n -разрядному слову добавляется контрольный разряд (бит паритета) с таким значением (0 или 1), чтобы сумма единиц в $(n + 1)$ -разрядном сообщении была бы четной. В приемнике производится контроль на четность. Если число единиц в принятом слове нечетно фиксируется ошибка при передаче данных.

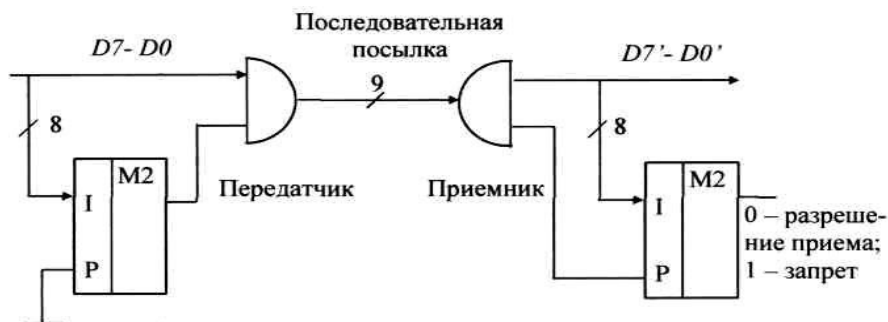


Рис.15.22 Схема передачи данных с проверкой на четность

Для контроля восьмиразрядного сообщения можно использовать микросхему К555ИП5 - сумматор по модулю два. Он содержит внутри восемь логических элементов «Исключающее ИЛИ». В передатчике 9-разрядное сообще-

щение преобразуется в последовательный код (это преобразование можно выполнить с помощью регистра сдвига), передается по одному каналу связи, а затем на стороне приемника подвергается обратному преобразованию в параллельный код. Если число единиц в принятом сообщении чётно, логический 0 на выходе К555ИП5 разрешает прием сообщения $DT-D0'$. В противном случае на выходе сумматора по модулю два формируется логическая 1 и прием сообщения запрещается. Функциональная схема и логическая структура микросхемы К555ИП5 приведены на рис. 15.23.

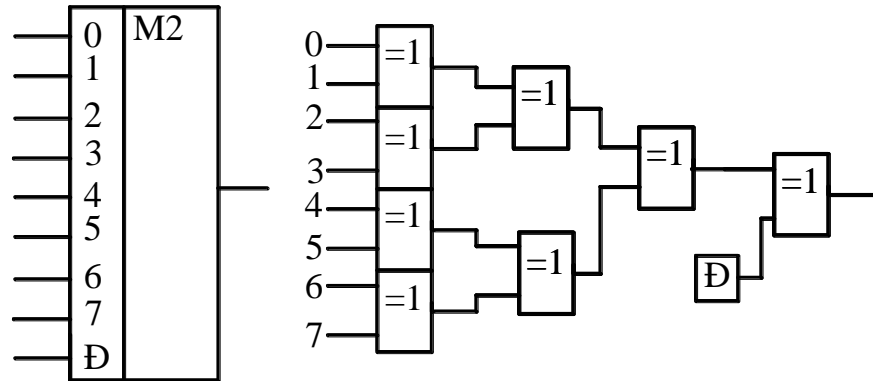


Рис.15.23. Сумматор по модулю 2