

Лекция 14

БАЗОВЫЕ ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ (ПРОДОЛЖЕНИЕ)

План

1. Элементы транзисторно-транзисторной логики (ТТЛ).
2. Элементы КМОП-логики.
3. Основные параметры логических элементов.
4. Выводы.

1. Элементы транзисторно-транзисторной логики (ТТЛ)

Схема простейшего ТТЛ-элемента, реализующего операцию И-НЕ, показана на рис. 14.1. Основная особенность схем ТТЛ заключается в том, что во входной цепи используется многоэмиттерный транзистор. Он осуществляет операцию И. Эмиттеры расположены таким образом, что прямое взаимодействие между ними исключается. Благодаря этому эмиттерные переходы можно рассматривать как параллельно включенные диоды. Число эмиттеров определяет число входов элемента. Инвертор реализован на транзисторе VT_2 . Таким образом, схема реализует операцию И-НЕ. Транзисторы VT_1 и VT_2 представляют собой однотипные $n-p-n$ -транзисторы, поэтому их можно изготовить в едином технологическом цикле. Заметим, что многоэмиттерные транзисторы используются только в интегральных схемах.

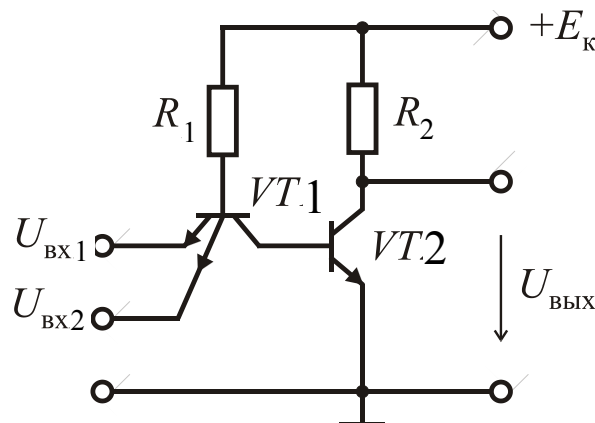


Рис. 14.1

Предположим, что входные напряжения U_1 и U_2 имеют высокий уровень, соответствующий логической единице: $U_1 = U_2 = E_k$. При этом эмиттерные переходы транзистора VT_1 закрыты, а коллекторный переход открыт и VT_1 находится в инверсном режиме. Ток базы многоэмиттерного транзистора

$$I_{\text{б1}} = \frac{E_{\text{к}} - 1.4}{R_1}.$$

В последней формуле мы учли, что напряжение базы $VT1$ равно сумме напряжений коллекторного перехода транзистора $VT1$ и эмиттерного перехода $VT2$, смещенных в прямом направлении. В многоэмиттерном транзисторе применяется особая геометрия p - n -перехода, позволяющая снизить инверсный коэффициент усиления (как правило $\beta_R \cong 0.02$), поэтому входные токи схемы малы. Ток базы $VT1$ $I_{\text{б1}}$ замыкается через коллекторный переход и переводит $VT2$ в состояние насыщения. Таким образом, выходное напряжение имеет низкий уровень: $U_{\text{вых}} \approx 0.2 \text{ В}$.

Если на одном из входов транзистора $VT1$ низкий уровень напряжения, соответствующий эмиттерный переход открыт и ток базы замыкается через него. Примем для определенности, что $U_{\text{вх1}} = 0.2 \text{ В}$. При этом

$$I_{\text{б1}} = \frac{E_{\text{к}} - 0.2 - 0.7}{R_1}.$$

Коллекторный переход $VT1$ закрывается, и транзистор переходит в активный режим. Ток коллектора $I_{\text{к1}} = \beta I_{\text{б1}}$ имеет большую величину. Избыточный заряд, накопленный в базе $VT2$, быстро рассасывается через коллекторный переход первого транзистора. Напряжение база-эмиттер второго транзистора по мере рассасывания избыточных зарядов уменьшается. Транзистор $VT1$ переходит в состояние насыщения, а $VT2$ – отсечки. Напряжение на выходе схемы имеет высокий уровень. Таким образом, таблица истинности элемента соответствует логической функции 2И-НЕ.

Недостатком простейшей схемы ТТЛ-элемента на рис. 23.1 является его неэкономичность. Когда транзистор $VT2$ находится в режиме насыщения, его коллекторный ток велик, что приводит к увеличению потребляемой мощности. Для уменьшения тока коллектора можно увеличить сопротивление резистора R_2 . Однако это приведет к снижению уровня логической единицы и уменьшению нагрузочной способности схемы. Кроме того, увеличится время переключения схемы в состояние логической единицы.

Для повышения экономичности и быстродействия при сохранении нагрузочной способности в элементах ТТЛ используют сложные инверторы. Одна из стандартных схем ТТЛ-элемента, реализующая функцию 2И-НЕ, показана на рис. 23.2.

Во всех элементах ТТЛ при отрицательном входном напряжении резко увеличивается входной ток. Для ограничения отрицательных входных

напряжений эмиттеры $VT1$ соединяют с корпусом через диоды, запертые для входных сигналов положительной полярности. Диоды отпираются только при действии отрицательных импульсов, возникающих при наличии помех.

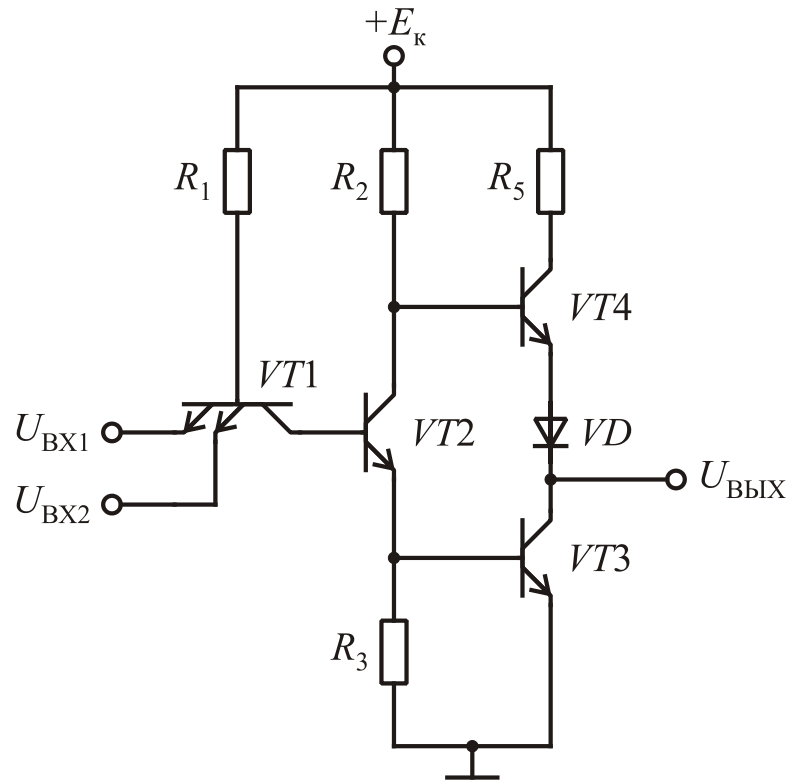


Рис. 23.2

В предыдущей лекции мы установили, что скорость переключения транзистора ограничивается временем рассасывания зарядов, накопленных в базе. Заметно увеличить быстродействие удастся в ТТЛ-схемах с диодами Шоттки (ТТЛШ). В таких схемах диоды Шоттки включаются параллельно коллекторным переходам. Это позволяет исключить насыщение транзисторов и существенно, уменьшить время переключения. Быстродействие элементов ТТЛШ в 3–5 раз выше, чем у аналогичных элементов ТТЛ. Недостатком ТТЛШ является меньшая помехоустойчивость из-за меньшего размаха выходного напряжения $U_{\text{ВЫХ}}^1 - U_{\text{ВЫХ}}^0$. Схемы ТТЛШ работают при таких же уровнях сигналов и питающих напряжений, как и обычные ТТЛ-схемы. Многоэмиттерные транзисторы на входе заменяют диодами Шоттки.

Микросхемы ТТЛ с повышенной нагрузочной способностью. Одним из важных параметров цифровых ИС является нагрузочная способность. Она характеризуется коэффициентом разветвления $K_{\text{разв}}$, равным числу микросхем той же серии, которые можно подключить к выходу рассматриваемого элемента. Для большинства микросхем ТТЛ нагрузочная способность

$K_{\text{разв}} = 10$. Некоторые ТТЛ-микросхемы выпускают с повышенной нагрузочной способностью, обеспечивая $K_{\text{разв}} = 30$.

На практике часто возникает необходимость подключения выходов нескольких логических элементов к одной нагрузке. Одним из способов объединения выходов является использование в выходных каскадах транзисторов, один из выводов которых никуда не подключен. Такой вывод называют *открытым*. На рис. 23.3 показана упрощенная схема ТТЛ-элемента с открытым коллектором. Свободный коллектор такой схемы является ее выходом и подключается к источнику питания через внешнее нагрузочное сопротивление. Его роль может выполнять светодиод, обмотка реле и т. п.

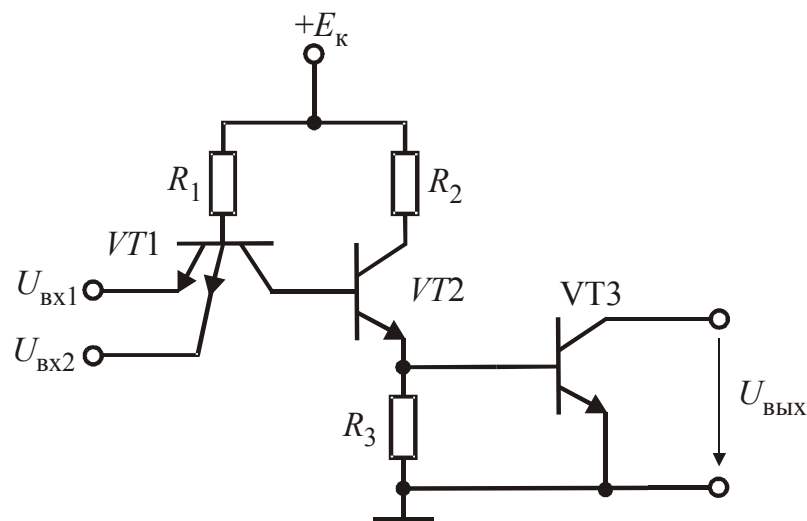


Рис. 23.3

Открытые выводы логических элементов можно объединять. При этом обеспечивается реализация дополнительной логической функции. Логическая функция, реализуемая путем соединения выходов отдельных микросхем, называется *монтажной логикой*.

У некоторых цифровых интегральных схем в дополнение к состояниям логических нуля и единицы имеется третье, называемое высокоимпедансным или *z*-состоянием. У таких микросхем имеется дополнительный управляющий вход *EZ*. При $EZ = 1$ выходные транзисторы логического элемента заперты, их выходное сопротивление велико и микросхема оказывается отключенной от нагрузки.

При использовании логических элементов с тремя состояниями их выходы можно объединять вместе. Управление работой микросхем организуют так, чтобы они все, кроме одной, находились в высокоимпедансном состоянии. Это позволяет передать по одной шине информацию от нескольких источников.

2. Элементы КМОП-логики

Элементы КМОП-логики можно рассматривать как обобщение КМОП-инвертора. Общая закономерность построения таких элементов заключается в том, что параллельное соединение транзисторов с каналами p -типа сопровождается последовательным соединением транзисторов с каналами n -типа и наоборот.

Схема КМОП-элемента, реализующего операцию 2И-НЕ, показана на рис. 23.4. Транзисторы $VT1$ и $VT2$ с каналом p -типа соединены параллельно, а n -канальные транзисторы $VT3$ и $VT4$ – последовательно. Подложки и истоки $VT1$ и $VT2$ соединены с положительным зажимом источника питания, поэтому $U_{зи1} = U_{вх1} - E$, $U_{зи2} = U_{вх2} - E$.

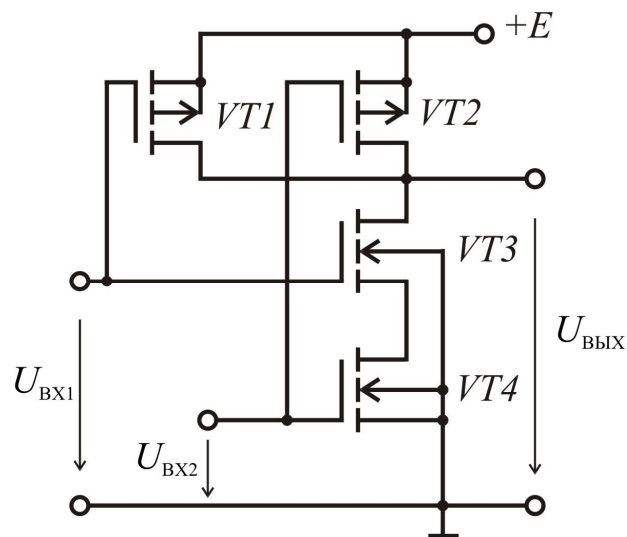


Рис. 23.4

Пусть на обоих входах действует напряжение низкого уровня: $U_{вх1} = U_{вх2} = 0$. Поскольку $U_{зи3} = U_{вх1} = 0$, $U_{зи4} = U_{вх2} = 0$, транзисторы $VT3$ и $VT4$ закрыты. При этом $U_{зи1} = U_{зи2} = -E$ и транзисторы $VT1$ и $VT2$ открыты. Упрощенно цепь на рис. 23.4 можно представить эквивалентной схемой, показанной на рис. 23.5, а. Напряжения на открытых транзисторах $VT1$ и $VT2$ пренебрежимо малы, и выходное напряжение $U_{вых} \approx E$.

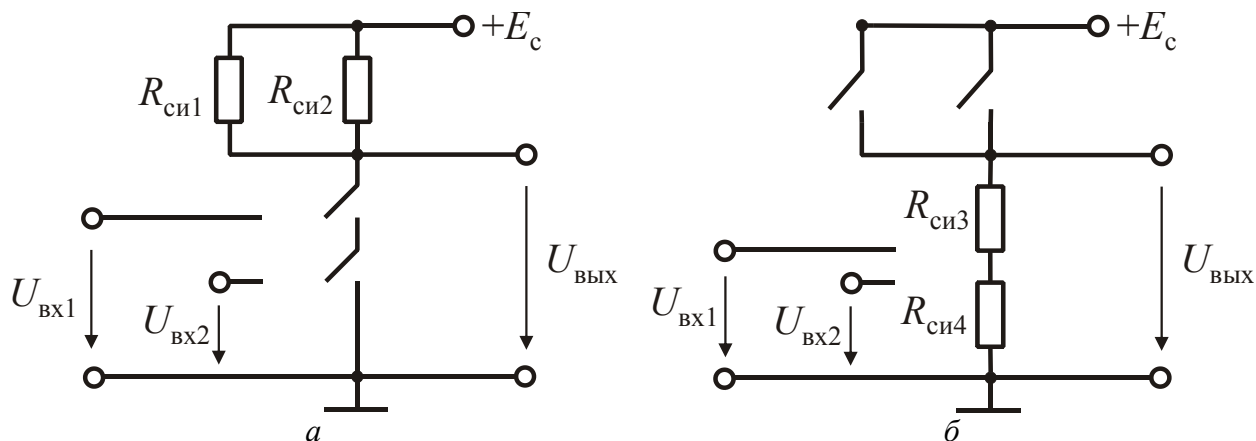


Рис. 23.5

Рассмотрим случай, когда $U_{\text{вх}1} = U_{\text{вх}2} = E$. Теперь $U_{\text{зи}1} = U_{\text{зи}2} = 0$ и транзисторы $VT1$ и $VT2$ закрыты, а $VT3$ и $VT4$ – открыты. Логический элемент можно представить эквивалентной схемой, показанной на рис. 23.5, б. Выходное напряжение $U_{\text{вых}} \approx 0$. Таким образом, схема на рис. 23.4 реализует таблицу истинности логического элемента 2И-НЕ.

Логический элемент на рис. 23.4 имеет два входа. Каждый новый вход требует включения двух дополнительных транзисторов: p -канального в параллельную цепь и n -канального в последовательную. Это приводит к увеличению площади, занимаемой логическим элементом на кристалле. Увеличивается и паразитная емкость, ограничивающая быстродействие схемы. Поэтому число входов у элементов КМОП-логики, как правило, не превышает четырех.

КМОП-элемент, реализующий операцию 2ИЛИ-НЕ, показан на рис. 23.6. Здесь p -канальные транзисторы включены последовательно, а n -канальные – параллельно.

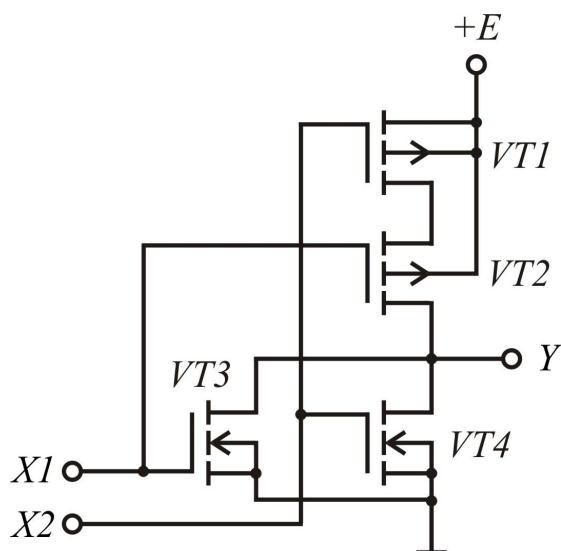


Рис. 23.6

КМОП-элементы ИЛИ-НЕ занимают на кристалле значительно большую площадь, чем элементы И-НЕ. Это объясняется тем, что последовательно соединенные p -канальные транзисторы должны иметь большую ширину канала, чем при параллельном соединении. Действительно, два последовательно соединенных p -канальных транзистора можно рассматривать как один с каналом длиной $2L$. Для согласования с n -канальными транзисторами они должны иметь канал шириной $W_p = 2 \frac{\mu_n}{\mu_p} W_n$. Поэтому в схемах высокой сте-

пени интеграции для экономии площади кристалла целесообразно использовать элементы И-НЕ.

В настоящее время КМОП-технологии являются доминирующими при производстве цифровых интегральных схем и практически вытеснили логику на основе биполярных транзисторов. КМОП-логика используется в цифровых интегральных схемах как малой (1–10 логических элементов на кристалле) и средней (10–100 ЛЭ), так и большой степени интеграции. Это обусловлено следующими причинами.

1. Логические элементы, изготовленные по КМОП-технологии, потребляют значительно меньшую мощность, чем логические элементы на основе биполярных транзисторов как в статическом, так и в динамическом режимах. Потребление мощности КМОП-элементами обусловлено в основном перезарядом паразитных емкостей при переключении элемента из одного логического состояния в другое.

2. Поскольку входы схем являются изолированными затворами МОП-транзисторов, то входные токи очень малы. Поэтому коэффициент разветвления по выходу очень высок. Высокое входное сопротивление МОП-транзисторов позволяет использовать накопленный заряд для хранения входной информации. Это свойство широко используется в микросхемах памяти.

3. МОП-транзистор занимает на кристалле значительно меньшую площадь, чем биполярный. Современные технологии производства СБИС позволяют создавать МОП-транзисторы с длиной канала 0.06 мк. Уменьшение геометрических размеров, а также малое потребление мощности дают возможность изготавливать СБИС, которые содержат десятки миллионов МОП-транзисторов.

3. Основные параметры логических элементов

Все логические элементы характеризуются определенным набором параметров, приводимых в справочной литературе. Наиболее важными параметрами являются:

- напряжение источника питания;
- уровни напряжений, соответствующие логическим нулю и единице;
- помехоустойчивость;
- потребляемая мощность;

нагрузочная способность;
быстродействие.

Рассмотрим подробнее перечисленные параметры.

Напряжение источника питания зависит от типа ИМС. Например, для микросхем ТТЛ и ТТЛШ напряжение питания равно 5 В. У элементов КМОП-логики напряжение питания зависит от минимальной длины канала транзистора L_{\min} . Значения этого параметра в зависимости от величины L_{\min} приведены в табл. 23.1.

Таблица 23.1

L_{\min} , мкм	0.8	0.5	0.25	0.18
E_c , В	5	3.3	2.5	1.8

Напряжения логических нуля и единицы также зависят от типа микросхем. Для ТТЛ элементов напряжение логического нуля $U_{\text{вх}}^0 = 0.8$ В, $U_{\text{вых}}^0 = 0.4$ В, а напряжение логической единицы $U_{\text{вх}}^1 = 2$ В, $U_{\text{вых}}^1 = 2.4$ В. Выход КМОП-элемента представляет открытый полевой транзистор, подключенный к земле либо к шине питания. Поэтому высокий уровень выходного напряжения таких элементов меньше напряжения питания на 10–20 мВ, а низкий – близок к нулю.

Помехоустойчивость. В реальных условиях логический элемент находится под воздействием помех, поэтому важно, чтобы ЛЭ не изменял своего состояния под их воздействием. Помехоустойчивость в состоянии логической единицы определяется формулой: $NM_1 = U_{\text{вых}}^1 - U_{\text{вх}}^1$. Помехоустойчивость в состоянии логического нуля $NM_0 = U_{\text{вх}}^0 - U_{\text{вых}}^0$. Последние равенства иллюстрирует рис. 23.7.

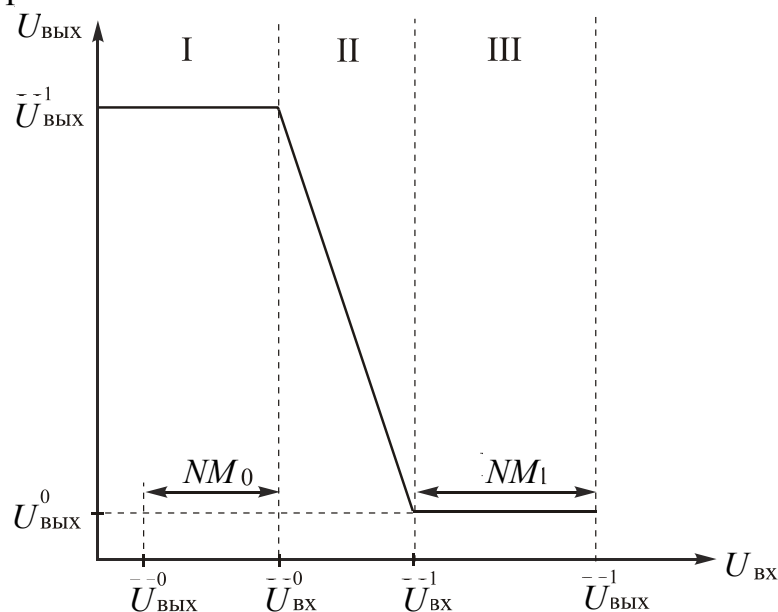


Рис. 23.7

Потребляемая мощность является важным параметром логических элементов, входящих в состав БИС и СБИС. Она равна сумме статической $P_{ст}$ и динамической $P_{дин}$ составляющих. Статическая составляющая определяется как среднее арифметическое мощностей, потребляемых логическим элементом в состояниях логических 0 и 1. Динамическая составляющая $P_{дин}$ пропорциональна частоте f :

$$P_{дин} = fC_n \Delta U^2.$$

Здесь C_n – емкость нагрузки; ΔU – величина логического перепада: $\Delta U = U_{вых}^1 - U_{вых}^0$.

Мощность, потребляемая элементом ТТЛШ, реализующим функцию 2И-НЕ, составляет в зависимости от серии от 1 до 20 мВт. Например, КМОП-инвертор с длиной канала 0.25 мкм, работающий на частоте 500 МГц, потребляет мощность около 20 мкВт.

Быстродействие логического элемента принято оценивать средним временем задержки распространения сигнала $t_{зад}$. Его определяют по формуле

$$t_{зад} = \frac{t_{01} + t_{10}}{2}.$$

Здесь t_{01} – время задержки распространения при переключении из состояния логического нуля в состояние логической единицы; t_{10} – время задержки распространения при переключении из состояния логической единицы в состояние логического нуля. Время задержки распространения измеряют обычно на уровне 0.5 от полной амплитуды входного и выходного импульсов (рис. 23.8). Поскольку длительность переходного процесса зависит от характера нагрузки, время задержки распространения оценивают, полагая, что логический элемент нагружен входной цепью такого же элемента.

Для стандартных элементов ТТЛ среднее время задержки распространения составляет около 10 нс. У элементов ТТЛШ $t_{зад} = 3$ нс. Время задержки распространения КМОП-инвертора, реализованного по технологии 0.25 мкм, не превышает 30 пс.

Энергия переключения. Очень важным параметром цифровых микросхем является энергия переключения, равная произведению потребляемой мощности на среднее время задержки распространения: $DP = P_{потр} t_{зад}$. Энергия переключения измеряется в пикоджоулях и характеризует степень совершен-

ства цифровых ИС. Технология производства является тем более совершенной, чем меньше величина DP . Для стандартных элементов ТТЛ-логики $DP = 50$ пДж. Энергия переключения КМОП-элементов не превышает 1 пДж.

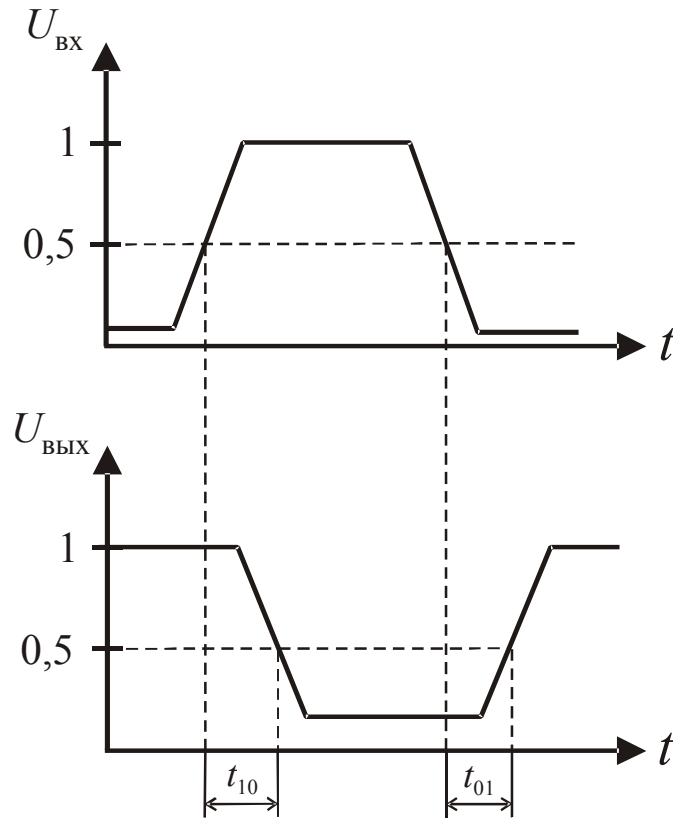


Рис. 23.8

Нагрузочная способность цифровых ИС характеризуется коэффициентом разветвления $K_{\text{разв}}$. Он равен наибольшему числу ИМС той же серии, которые можно подключить к выходу рассматриваемой схемы, не нарушая ее правильного функционирования. В зависимости от типа микросхем коэффициент разветвления может изменяться от 2–3 до 30–100 и более. Для элементов ТТЛ-логики $K_{\text{разв}} = 10$. Входное сопротивление МОП-транзисторов практически бесконечно. Поэтому коэффициент разветвления КМОП-логических элементов может достигать 100 и более.

Для иллюстрации приведем параметры типовых элементов ТТЛ 74 серии (отечественный аналог – микросхемы 155 серии). Элементы этой серии были первыми микросхемами, разработанными по технологии ТТЛ в конце 1960-х годов. Их принято называть *стандартными*. Напряжение питания ТТЛ-элементов $U_{\text{пит}} = 5$ В. Уровни напряжения на входе и выходе: $U_{\text{ВЫХ}}^0 = 0.4$ В, $U_{\text{ВЫХ}}^1 = 2.4$ В, $U_{\text{ВХ}}^0 = 0.8$ В, $U_{\text{ВХ}}^1 = 2$ В. Помехоустойчивость схем

ТТЛ невелика: $NM_1 = U_{\text{вых}}^1 - U_{\text{вх}}^1 = 0.4 \text{ В}$, $NM_0 = U_{\text{вх}}^0 - U_{\text{вых}}^0 = 0.4 \text{ В}$. Потребляемая мощность одного инвертора составляет около 10 мВт, а время задержки распространения $t_{\text{зад}} = 10 \text{ нс}$.

В дальнейшем были созданы усовершенствованные элементы ТТЛ-логики с диодами Шоттки (ТТЛШ). Такая логика имеет более совершенные параметры. Так, элементы серии 74F (отечественный аналог – серия 1531) имеют время задержки распространения около 3 нс, коэффициент разветвления $K_{\text{разв}} = 30$. Мощность, потребляемая элементом этой серии, равна 4 мВт.

Параметры логических элементов, реализуемых с помощью современных КМОП-технологий, превосходят параметры ТТЛ-элементов в сотни раз. Время задержки распространения современных КМОП-элементов составляет около 10 пс, а мощность, потребляемая инвертором – не более 10 мкВт.

4. Выводы

1. Основная особенность схем ТТЛ заключается в том, что во входной цепи используется многоэмиттерный транзистор, осуществляющий операцию И. Число эмиттеров определяет число входов элемента.

2. Общая закономерность построения элементов КМОП-логики заключается в том, что параллельное соединение транзисторов с каналами p -типа сопровождается последовательным соединением транзисторов с каналами n -типа, и наоборот.

3. КМОП-технологии являются доминирующими при производстве цифровых интегральных схем и практически вытеснили логику на основе биполярных транзисторов. КМОП-логика используется в цифровых интегральных схемах как малой и средней, так и большой степени интеграции. Это обусловлено тем, что КМОП-элементы потребляют значительно меньшую мощность, чем логические элементы на основе биполярных транзисторов как в статическом, так и в динамическом режимах. Кроме того, МОП-транзисторы занимают на кристалле значительно меньшую площадь, чем биполярные. Современные технологии производства СБИС позволяют создавать МОП-транзисторы с длиной канала менее 0.05 мкм. Уменьшение геометрических размеров, а также малое потребление мощности дают возможность изготавливать СБИС, которые содержат десятки миллионов МОП-транзисторов на кристалле.

4. Основными параметрами логических элементов являются:

- напряжение источника питания;
- уровни напряжений, соответствующие логическим нулю и единице;
- помехоустойчивость;
- потребляемая мощность;
- нагрузочная способность;
- быстродействие;

- энергия переключения.